МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ

«БАШКИРСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»

Факультет математики и информационных технологий

Лабораторная работа №3

«Последовательные логические схемы: элементы памяти, модели матриц памяти»

Выполнил: студент 23 группы Гайсин И.И.

Проверил: Валеев Н.Ф.

УФА 2019

Задания.

1. Реализовать в Logisim асинхронная RS-защелка.

2. Повторить задание 1 для RS-защелки с разрешающим входом.

3. Повторить задание 1 для синхронной D-защелки.

4. Повторить задание 1 для D-триггера.

5. Спроектировать 8-разрядный регистр на основе схемы из задания 3.

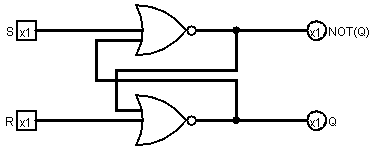
6. Спроектировать 8-разрядный регистр на основе схемы из задания 4.

7. Спроектировать 8-разрядный счетчик тактовых сигналов.

8. Спроектировать модель микросхемы памяти 3х4, 4х3.

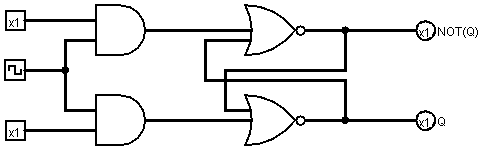
9. Спроектировать модель микросхемы памяти с двойной адресацией.

**Задание №1.** Асинхронная RS-защелка имеет два входа S (установка) и R (сброс), два выхода Q и не-Q (выходные значения не зависят от входных сигналов):

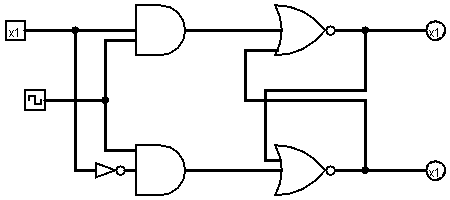


Защелка «запоминает» предыдущее входное значение (при S=1, значение Q=1; R = 1, значение Q=0).

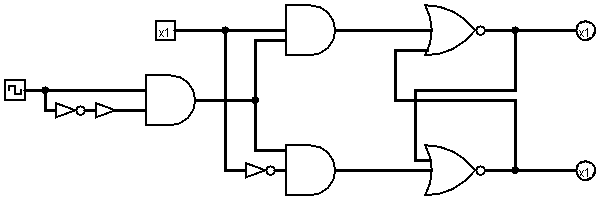
**Задание №2.** В синхронной RS-защелке дополнительно присутствует синхронизирующий вход — тактовый генератор, который позволяет менять значение триггера только в определенные моменты.



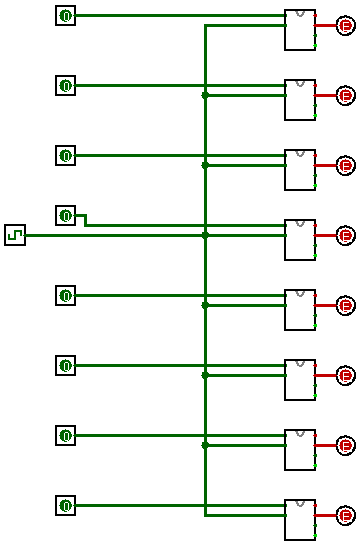
**Задание №3.** Синхронная D-защелка в отличии от синхронного RS-триггера имеет только один вход: на второй вентиль И подается отрицание входного сигнала, что позволяет разрешить неопределенность RS-триггера, возникающую при S=1, R=1.



**Задание №4.** D-триггер в отличие от защёлки переход состояния происходит не тогда, когда синхронизирующий сигнал равен 1, а когда он меняется с 0 на 1 (нарастающий фронт) или с 1 на 0 (задний фронт). Это возможно благодаря задержке сигнала из-за вентилей НЕ и буферов.

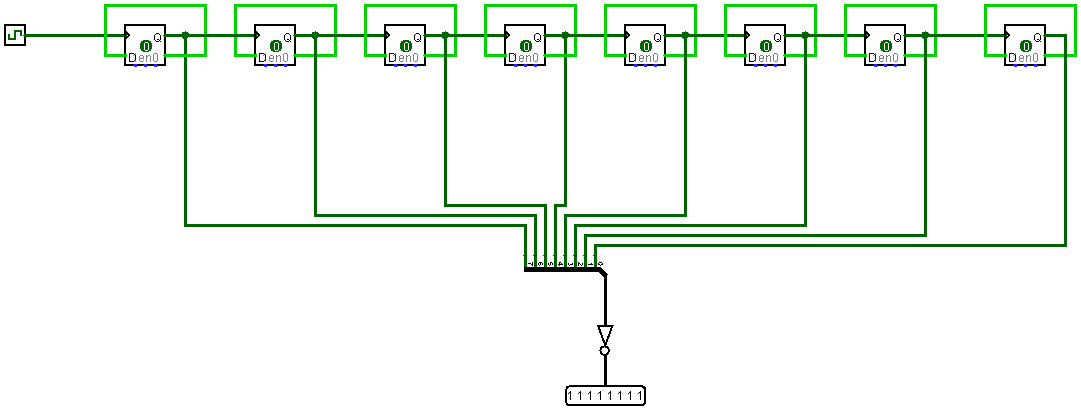


**Задание №5.** Регистр представляет собой соединенные между собой защелки или триггеры, делящие одну линию синхронизирующего входа. В данной схеме использованы 8 синхронных D-защелок, объединенные одной линией входа от тактового генератора.

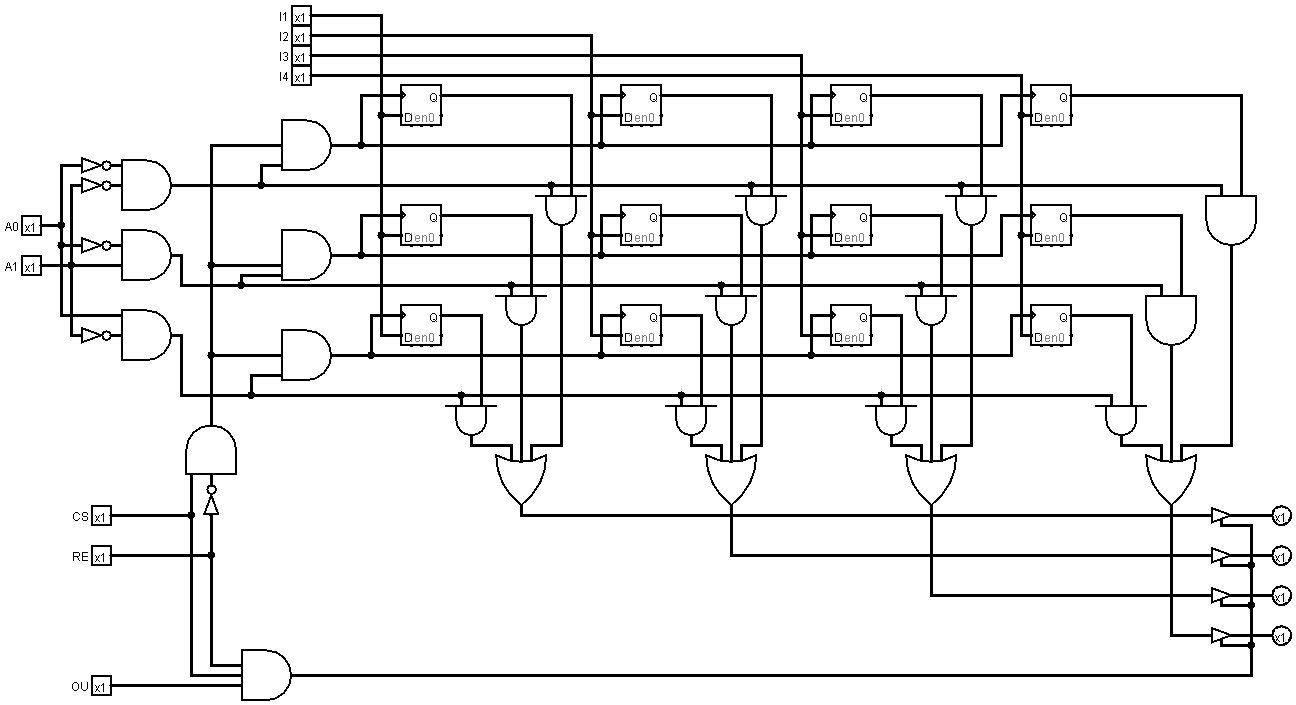


**Задание №6.** Схема выглядит аналогично схеме из задания 5, но вместо D-защелок используются D-триггеры.

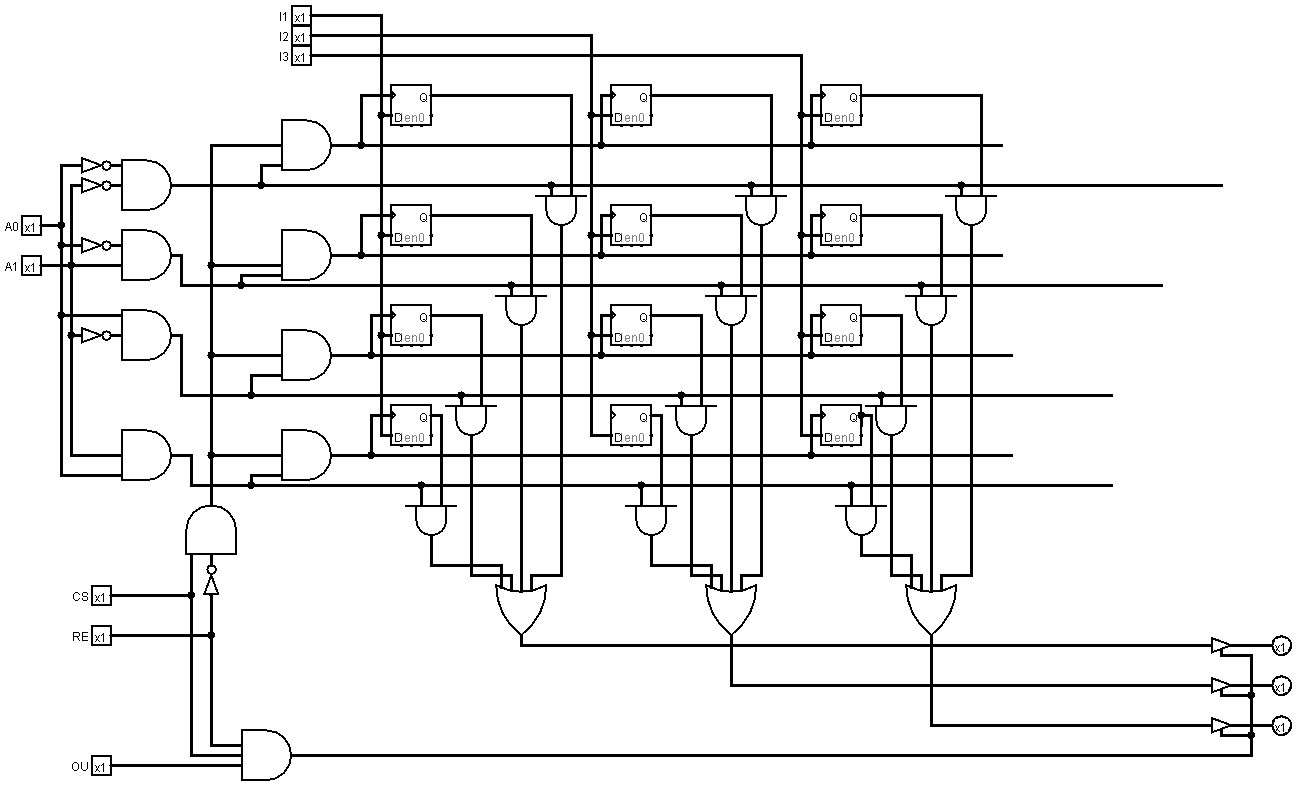
**Задание №7.** Для создания счётчика тактовых сигналов используются 8 D-триггеров. Дополнительный выход каждого триггера соединяется со входом, а синхронизирующий вход с выходом предыдущего триггера в цепочке (для первого триггера напрямую с тактовым генератором). Подобное построение позволяет чередовать значения триггеров с определенной частотой (один раз за такт для первого триггера, один раз в два такта для второго и так далее), значения на всех 8 триггерах таким образом составляют 8-разрядное двоичное число, определяющее количество сгенерированных сигналов.



**Задание 8.** Микросхема памяти 3х4 позволяет записывать и считывать 3 4-разрядных слова. Для ее создания требуется 3\*4=12 D-триггеров, 4 входа для записи слова, 2 входа для адресации, 3 дополнительных входа CS – выбор элемента памяти, RE — для различения между записью и считыванием, OE – для разрешения выдачи выходных сигналов).



Микросхема памяти 4х3 строится аналогично.



**Задание 9.** Использование двойной адресации позволяет сократить количество входов и выходов (один вход для записываемого бита, один выход для считываемого бита). Используется адрес строки и отдельно адрес столбца для определения D-триггера, в котором будет происходить чтение или запись. Кроме CS, WE и OE (разрешение доступа к микросхеме, записи и вывода), используется RAS и CAS: они разрешают чтение/запись строк и столбцов.

­­­­